

# 論理回路入門 (10)

デコーダとエンコーダ

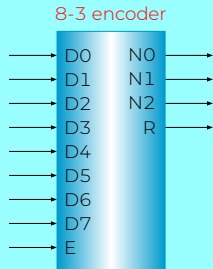
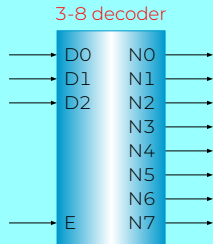
李 亜民

2022年11月29日(火)

# デコーダとエンコーダ

## ポイント

- デコーダ ( $n \Rightarrow 2^n$ )
- イネーブル付きデコーダ
- デマルチプレクサ
  
- エンコーダ ( $2^n \Rightarrow n$ )
- イネーブル付きエンコーダ
- プライオリティエンコーダ



# 3 入力 8 出力デコーダ

## 3 入力 8 出力 デコーダ の設計

# 3 入力 8 出力デコーダ (真理値表)

3 入力 8 出力デコーダ: 3 入力 (D[2..0]) を 2 進数について、その 10 進数に対応する 8 個の出力 (N[7..0]) を生成する回路。

真理値表:

| 入力   |      |      | 出力   |      |      |      |      |      |      |      |
|------|------|------|------|------|------|------|------|------|------|------|
| D[2] | D[1] | D[0] | N[7] | N[6] | N[5] | N[4] | N[3] | N[2] | N[1] | N[0] |
| 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    |
| 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    |
| 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    |
| 0    | 1    | 1    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    |
| 1    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 0    |
| 1    | 0    | 1    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    |
| 1    | 1    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    |
| 1    | 1    | 1    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 0    |

# 3 入力 8 出力デコーダ (論理式)

| 入力   |      |      | 出力   |      |      |      |      |      |      |      |
|------|------|------|------|------|------|------|------|------|------|------|
| D[2] | D[1] | D[0] | N[7] | N[6] | N[5] | N[4] | N[3] | N[2] | N[1] | N[0] |
| 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    |
| 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    |
| 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    |
| 0    | 1    | 1    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    |
| 1    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 0    |
| 1    | 0    | 1    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    |
| 1    | 1    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    |
| 1    | 1    | 1    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 0    |

$$N[0] = \overline{D[2]} \overline{D[1]} \overline{D[0]}$$

$$N[1] = \overline{D[2]} \overline{D[1]} D[0]$$

$$N[2] = \overline{D[2]} D[1] \overline{D[0]}$$

$$N[3] = \overline{D[2]} D[1] D[0]$$

$$N[4] = D[2] \overline{D[1]} \overline{D[0]}$$

$$N[5] = D[2] \overline{D[1]} D[0]$$

$$N[6] = D[2] D[1] \overline{D[0]}$$

$$N[7] = D[2] D[1] D[0]$$

# 3 入力 8 出力デコーダ (回路)

$$N[0] = \overline{D[2]} \overline{D[1]} \overline{D[0]}$$

$$N[1] = \overline{D[2]} \overline{D[1]} D[0]$$

$$N[2] = \overline{D[2]} D[1] \overline{D[0]}$$

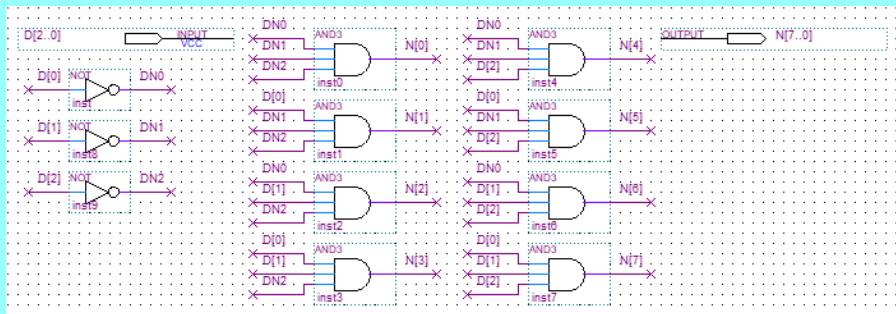
$$N[3] = \overline{D[2]} D[1] D[0]$$

$$N[4] = D[2] \overline{D[1]} \overline{D[0]}$$

$$N[5] = D[2] \overline{D[1]} D[0]$$

$$N[6] = D[2] D[1] \overline{D[0]}$$

$$N[7] = D[2] D[1] D[0]$$



# 3 入力 8 出力デコーダ (波形)

$$N[0] = \overline{D[2]} \overline{D[1]} \overline{D[0]}$$

$$N[1] = \overline{D[2]} \overline{D[1]} D[0]$$

$$N[2] = \overline{D[2]} D[1] \overline{D[0]}$$

$$N[3] = \overline{D[2]} D[1] D[0]$$

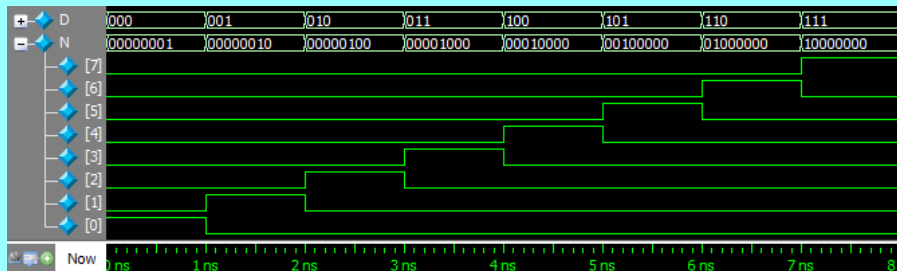
$$N[4] = D[2] \overline{D[1]} \overline{D[0]}$$

$$N[5] = D[2] \overline{D[1]} D[0]$$

$$N[6] = D[2] D[1] \overline{D[0]}$$

$$N[7] = D[2] D[1] D[0]$$

[dec38\\_tb.v](#)



# 3 入力 8 出力デコーダ (イネーブル)

| 入力 |      |      |      | 出力   |      |      |      |      |      |      |      |
|----|------|------|------|------|------|------|------|------|------|------|------|
| E  | D[2] | D[1] | D[0] | N[7] | N[6] | N[5] | N[4] | N[3] | N[2] | N[1] | N[0] |
| 1  | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    |
| 1  | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    |
| 1  | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    |
| 1  | 0    | 1    | 1    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    |
| 1  | 1    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 0    |
| 1  | 1    | 0    | 1    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    |
| 1  | 1    | 1    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    |
| 1  | 1    | 1    | 1    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 0  | x    | x    | x    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    |

E: Enable; x: ドントケア (Don't care)

$$N[0] = E \overline{D[2]} \overline{D[1]} \overline{D[0]}$$

$$N[1] = E \overline{D[2]} \overline{D[1]} D[0]$$

$$N[2] = E \overline{D[2]} D[1] \overline{D[0]}$$

$$N[3] = E \overline{D[2]} D[1] D[0]$$

$$N[4] = E D[2] \overline{D[1]} \overline{D[0]}$$

$$N[5] = E D[2] \overline{D[1]} D[0]$$

$$N[6] = E D[2] D[1] \overline{D[0]}$$

$$N[7] = E D[2] D[1] D[0]$$



# 3 入力 8 出力デコーダ (イネーブル)

$$N[0] = E \overline{D[2]} \overline{D[1]} \overline{D[0]}$$

$$N[1] = E \overline{D[2]} \overline{D[1]} D[0]$$

$$N[2] = E \overline{D[2]} D[1] \overline{D[0]}$$

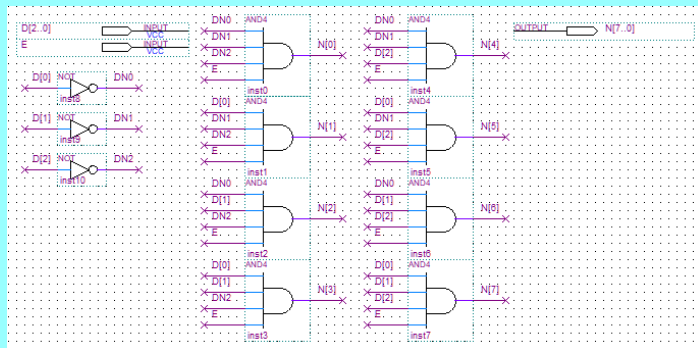
$$N[3] = E \overline{D[2]} D[1] D[0]$$

$$N[4] = E D[2] \overline{D[1]} \overline{D[0]}$$

$$N[5] = E D[2] \overline{D[1]} D[0]$$

$$N[6] = E D[2] D[1] \overline{D[0]}$$

$$N[7] = E D[2] D[1] D[0]$$



# 3 入力 8 出力デコーダ (イネーブル)

$$N[0] = E \overline{D[2]} \overline{D[1]} \overline{D[0]}$$

$$N[1] = E \overline{D[2]} \overline{D[1]} D[0]$$

$$N[2] = E \overline{D[2]} D[1] \overline{D[0]}$$

$$N[3] = E \overline{D[2]} D[1] D[0]$$

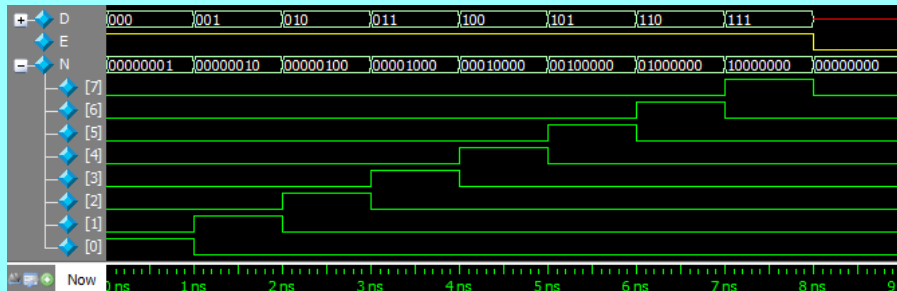
$$N[4] = E D[2] \overline{D[1]} \overline{D[0]}$$

$$N[5] = E D[2] \overline{D[1]} D[0]$$

$$N[6] = E D[2] D[1] \overline{D[0]}$$

$$N[7] = E D[2] D[1] D[0]$$

[dec38e\\_tb.v](#)



# デコーダの応用 — RegFile

## コンピューターシステム

### 1. コンピューター

(1) メモリ

(2) 入出力インターフェース

(3) CPU (プロセッサ)

ALU

...

レジスタファイル

### 2. ソフトウェア

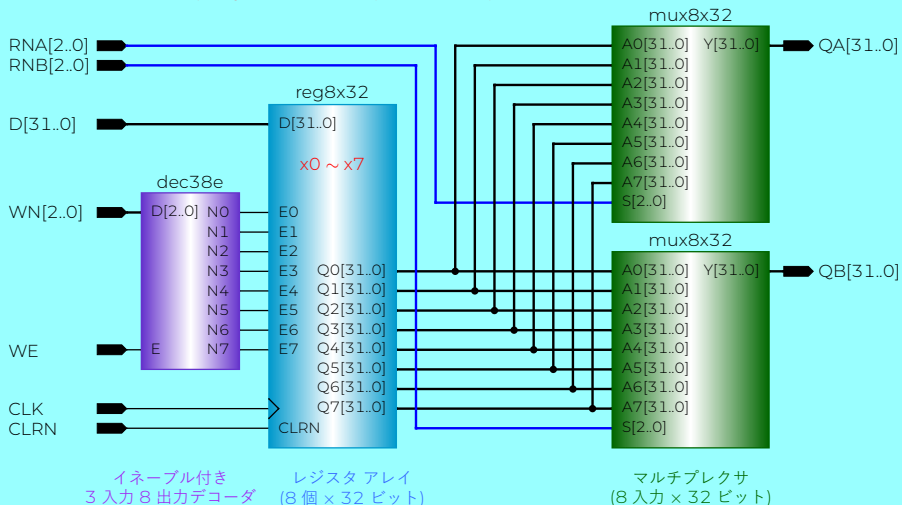
(OS やコンパイラなど)

### 3. 入出力デバイス

(キーボードやディスプレイなど)

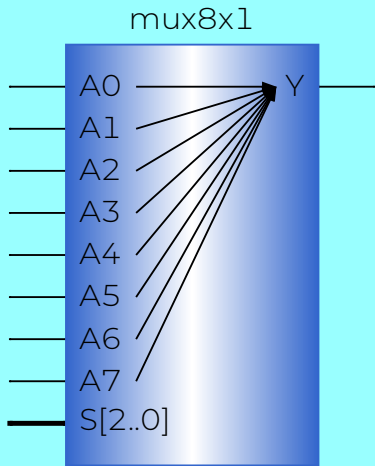
# デコーダの応用 — RegFile

## 8 × 32 ビットレジスタ・ファイル

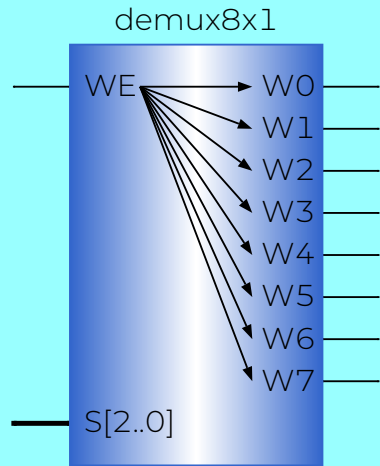


# デコーダの応用 — デマルチプレクサ

## マルチプレクサ



## デマルチプレクサ



# デコーダの応用 — デマルチプレクサ

## マルチプレクサ

真理値表

| S[2..0] | Y  |
|---------|----|
| 0 0 0   | A0 |
| 0 0 1   | A1 |
| 0 1 0   | A2 |
| 0 1 1   | A3 |
| 1 0 0   | A4 |
| 1 0 1   | A5 |
| 1 1 0   | A6 |
| 1 1 1   | A7 |

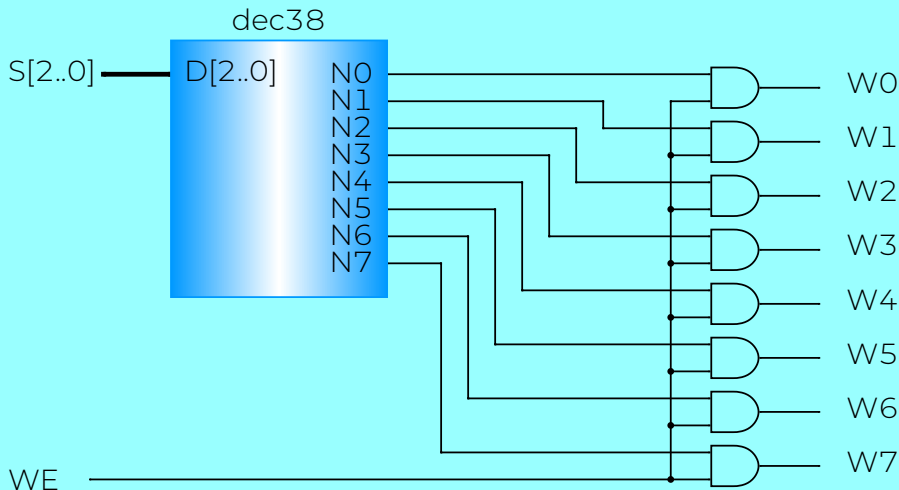
## デマルチプレクサ

真理値表

| S[2..0] | W7 | W6 | W5 | W4 | W3 | W2 | W1 | W0 |
|---------|----|----|----|----|----|----|----|----|
| 0 0 0   | 0  | 0  | 0  | 0  | 0  | 0  | 0  | WE |
| 0 0 1   | 0  | 0  | 0  | 0  | 0  | 0  | WE | 0  |
| 0 1 0   | 0  | 0  | 0  | 0  | 0  | WE | 0  | 0  |
| 0 1 1   | 0  | 0  | 0  | 0  | WE | 0  | 0  | 0  |
| 1 0 0   | 0  | 0  | 0  | WE | 0  | 0  | 0  | 0  |
| 1 0 1   | 0  | 0  | WE | 0  | 0  | 0  | 0  | 0  |
| 1 1 0   | 0  | WE | 0  | 0  | 0  | 0  | 0  | 0  |
| 1 1 1   | WE | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

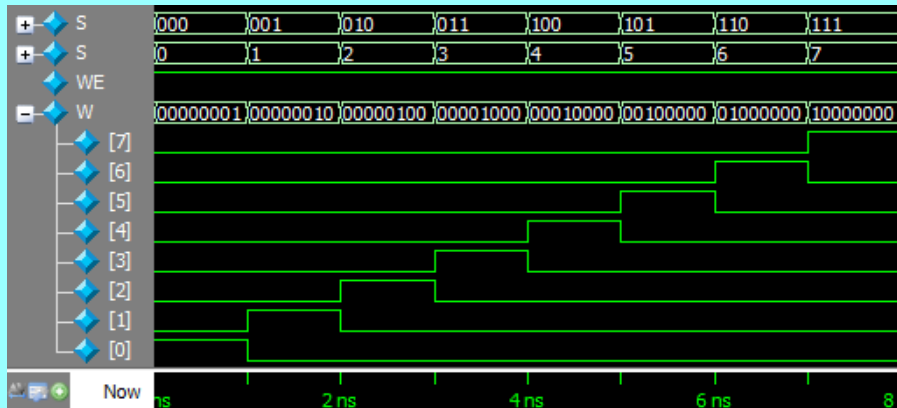
# デコーダの応用 — デマルチプレクサ

## デマルチプレクサの回路



# デコーダの応用 — デマルチプレクサ

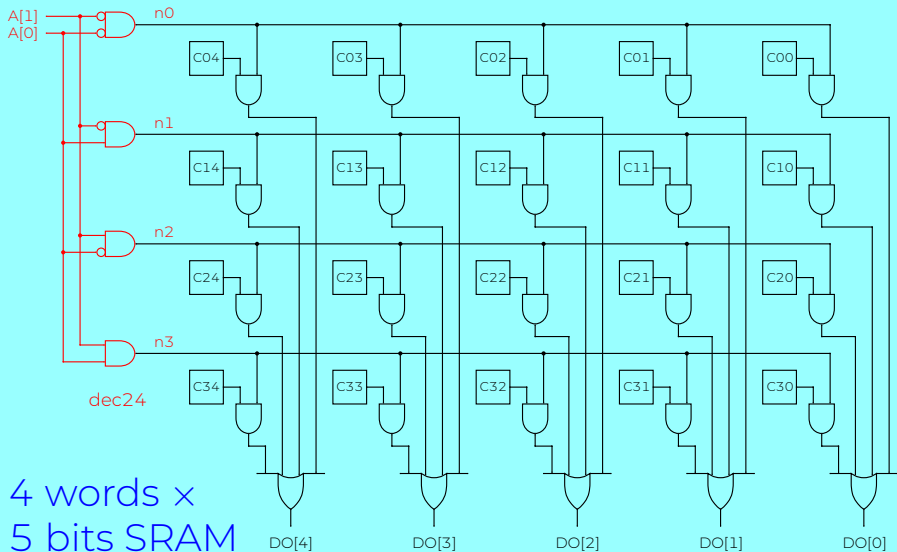
## デマルチプレクサの波形



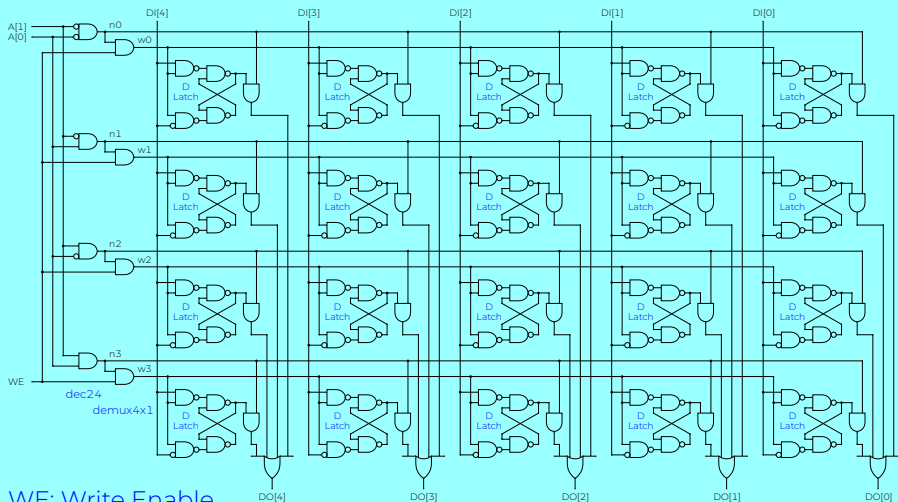
$$W[S] = WE = 1; \text{others} = 0$$



# デコーダの応用 — SRAM デコーダ



# デマルチプレクサの応用 — SRAM 書き込む



WE: Write Enable

4 words: 2-bit address  $A[1..0]$ :  $2^2 = 4$

5 bits/word: data-in  $DI[4..0]$ ; data-out  $DO[4..0]$

## 8 入力 3 出力 エンコーダ の設計

# 8 入力 3 出力エンコーダ (真理値表)

8 入力 3 出力エンコーダ: 8 入力 (D[7..0]) のいずれか一つが値 1 をとるものとして、それらの 2 進数に対応する 3 ビットの入力 (N[2..0]) を生成する回路。真理値表:

| 入力 (制限あり) |      |      |      |      |      |      |      | 出力   |      |      |
|-----------|------|------|------|------|------|------|------|------|------|------|
| D[7]      | D[6] | D[5] | D[4] | D[3] | D[2] | D[1] | D[0] | N[2] | N[1] | N[0] |
| 0         | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    |
| 0         | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1    |
| 0         | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1    | 0    |
| 0         | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 1    | 1    |
| 0         | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 1    | 0    | 0    |
| 0         | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 1    |
| 0         | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 0    |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 1    |

入力制限: 一つの入力のみがアクティブである

# 8 入力 3 出力エンコーダ (論理式)

| 入力 (制限あり) |      |      |      |      |      |      |      | 出力   |      |      |
|-----------|------|------|------|------|------|------|------|------|------|------|
| D[7]      | D[6] | D[5] | D[4] | D[3] | D[2] | D[1] | D[0] | N[2] | N[1] | N[0] |
| 0         | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    |
| 0         | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1    |
| 0         | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1    | 0    |
| 0         | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 1    | 1    |
| 0         | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 1    | 0    | 0    |
| 0         | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 1    |
| 0         | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 0    |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 1    |

$$N[0] = D[1] + D[3] + D[5] + D[7]$$

$$N[1] = D[2] + D[3] + D[6] + D[7]$$

$$N[2] = D[4] + D[5] + D[6] + D[7]$$

入力制限:

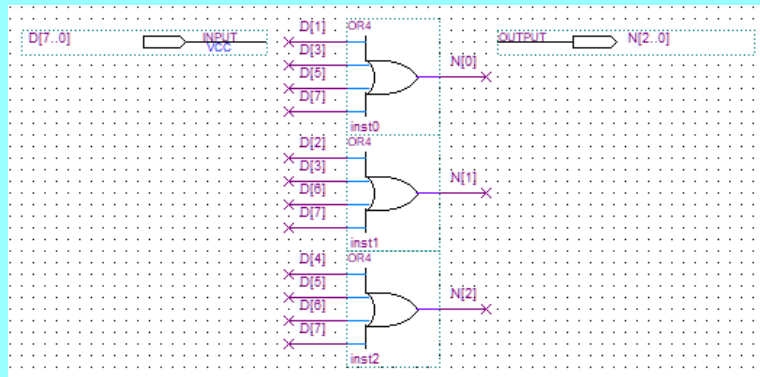
一つの入力のみが  
アクティブである

# 8 入力 3 出力エンコーダ (回路)

$$N[0] = D[1] + D[3] + D[5] + D[7]$$

$$N[1] = D[2] + D[3] + D[6] + D[7]$$

$$N[2] = D[4] + D[5] + D[6] + D[7]$$



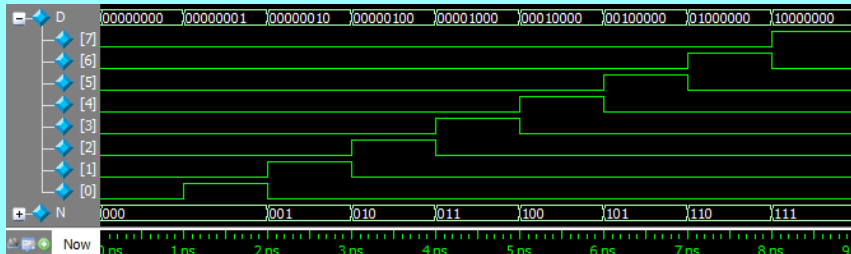
# 8 入力 3 出力エンコーダ (波形)

$$N[0] = D[1] + D[3] + D[5] + D[7]$$

$$N[1] = D[2] + D[3] + D[6] + D[7]$$

$$N[2] = D[4] + D[5] + D[6] + D[7]$$

[enc83\\_tb.v](#)



問題:  $D = 00000000$ ,  $N = 000$ ;  
 $D = 00000001$ ,  $N = 000$ 。 区別できない。

# 8 入力 3 出力エンコーダ (論理式)

$$N[0] = D[1] + D[3] + D[5] + D[7]$$

$$N[1] = D[2] + D[3] + D[6] + D[7]$$

$$N[2] = D[4] + D[5] + D[6] + D[7]$$

$$R = D[0] + D[1] + D[2] + D[3] + D[4] + D[5] + D[6] + D[7]$$

| 入力 (制限あり) |      |      |      |      |      |      |      | 出力   |      |      |   |
|-----------|------|------|------|------|------|------|------|------|------|------|---|
| D[7]      | D[6] | D[5] | D[4] | D[3] | D[2] | D[1] | D[0] | N[2] | N[1] | N[0] | R |
| 0         | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0 |
| 0         | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1 |
| 0         | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1    | 1 |
| 0         | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1    | 0    | 1 |
| 0         | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 1    | 0    | 1    | 1 |
| 0         | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 1    | 1 |
| 0         | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 0    | 1 |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 1    | 1 |



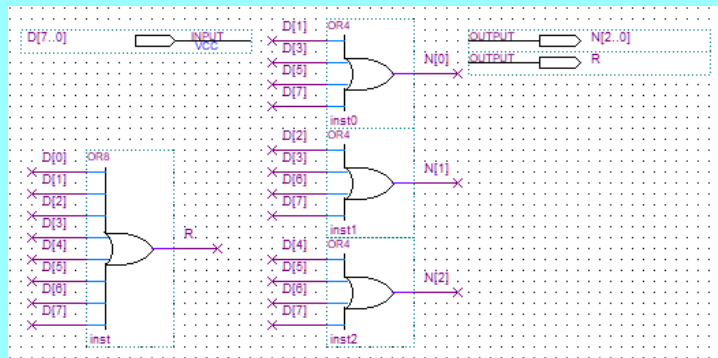
# 8 入力 3 出力エンコーダ (回路)

$$N[0] = D[1] + D[3] + D[5] + D[7]$$

$$N[1] = D[2] + D[3] + D[6] + D[7]$$

$$N[2] = D[4] + D[5] + D[6] + D[7]$$

$$R = D[0] + D[1] + D[2] + D[3] + D[4] + D[5] + D[6] + D[7]$$



# 8 入力 3 出力エンコーダ (波形)

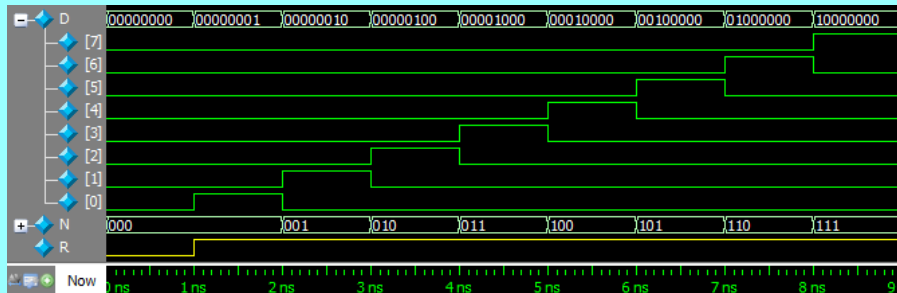
$$N[0] = D[1] + D[3] + D[5] + D[7]$$

$$N[1] = D[2] + D[3] + D[6] + D[7]$$

$$N[2] = D[4] + D[5] + D[6] + D[7]$$

[enc83r\\_tb.v](#)

$$R = D[0] + D[1] + D[2] + D[3] + D[4] + D[5] + D[6] + D[7]$$



D = 00000000, N = 000, R = 0;

D = 00000001, N = 000, R = 1。 区別できる。

# 8 入力 3 出力エンコーダ (イネーブル)

$$N[0] = E \cdot (D[1] + D[3] + D[5] + D[7])$$

$$N[1] = E \cdot (D[2] + D[3] + D[6] + D[7])$$

$$N[2] = E \cdot (D[4] + D[5] + D[6] + D[7])$$

$$R = E \cdot (D[0] + D[1] + D[2] + D[3] + D[4] + D[5] + D[6] + D[7])$$

| 入力 (制限あり) |      |      |      |      |      |      |      |      | 出力   |      |      |   |
|-----------|------|------|------|------|------|------|------|------|------|------|------|---|
| E         | D[7] | D[6] | D[5] | D[4] | D[3] | D[2] | D[1] | D[0] | N[2] | N[1] | N[0] | R |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0 |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1 |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1    | 1 |
| 1         | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1    | 0    | 1 |
| 1         | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 1    | 1    | 1 |
| 1         | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 1 |
| 1         | 0    | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 0    | 1 |
| 1         | 0    | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 1    | 1 |
| 1         | 1    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1    | 1    | 1 |
| 0         | x    | x    | x    | x    | x    | x    | x    | x    | 0    | 0    | 0    | 0 |



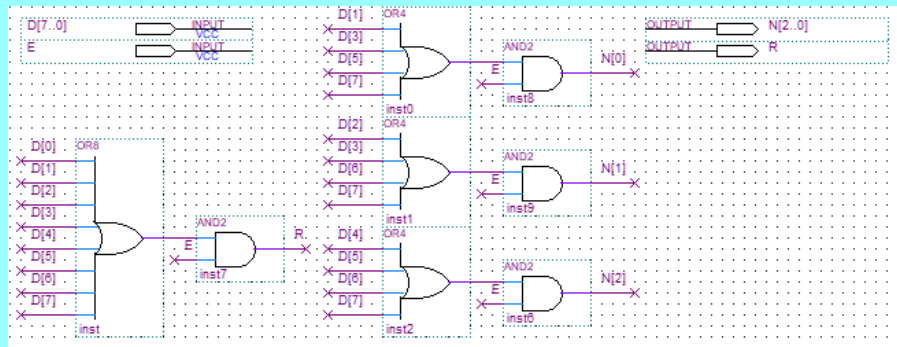
# 8 入力 3 出力エンコーダ (イネーブル)

$$N[0] = E \cdot (D[1] + D[3] + D[5] + D[7])$$

$$N[1] = E \cdot (D[2] + D[3] + D[6] + D[7])$$

$$N[2] = E \cdot (D[4] + D[5] + D[6] + D[7])$$

$$R = E \cdot (D[0] + D[1] + D[2] + D[3] + D[4] + D[5] + D[6] + D[7])$$



# 8 入力 3 出力エンコーダ (イネーブル)

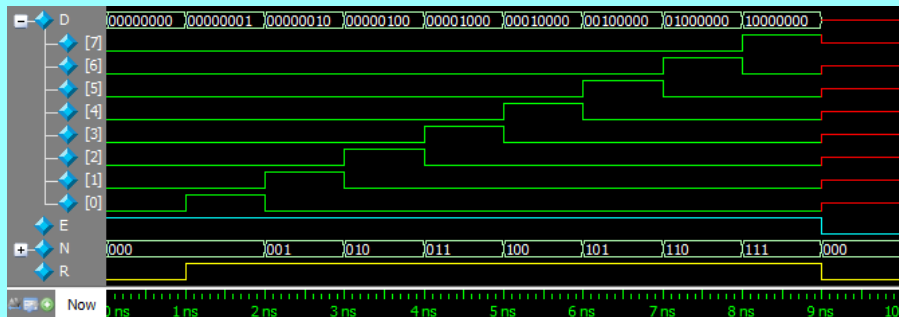
$$N[0] = E \cdot (D[1] + D[3] + D[5] + D[7])$$

$$N[1] = E \cdot (D[2] + D[3] + D[6] + D[7])$$

$$N[2] = E \cdot (D[4] + D[5] + D[6] + D[7])$$

$$R = E \cdot (D[0] + D[1] + D[2] + D[3] + D[4] + D[5] + D[6] + D[7])$$

[enc83e\\_tb.v](#)



# 8 入力 3 出力プライオリティエンコーダ

| 入力 (制限なし) |      |      |      |      |      |      |      |      | 出力   |      |      |   |
|-----------|------|------|------|------|------|------|------|------|------|------|------|---|
| E         | D[7] | D[6] | D[5] | D[4] | D[3] | D[2] | D[1] | D[0] | N[2] | N[1] | N[0] | R |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0 |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 0    | 1 |
| 1         | 0    | 0    | 0    | 0    | 0    | 0    | 1    | x    | 0    | 0    | 1    | 1 |
| 1         | 0    | 0    | 0    | 0    | 0    | 1    | x    | x    | 0    | 1    | 0    | 1 |
| 1         | 0    | 0    | 0    | 0    | 1    | x    | x    | x    | 0    | 1    | 1    | 1 |
| 1         | 0    | 0    | 0    | 1    | x    | x    | x    | x    | 1    | 0    | 0    | 1 |
| 1         | 0    | 0    | 1    | x    | x    | x    | x    | x    | 1    | 0    | 1    | 1 |
| 1         | 0    | 1    | x    | x    | x    | x    | x    | x    | 1    | 1    | 0    | 1 |
| 1         | 1    | x    | x    | x    | x    | x    | x    | x    | 1    | 1    | 1    | 1 |
| 0         | x    | x    | x    | x    | x    | x    | x    | x    | 0    | 0    | 0    | 0 |

D[7] の優先順位 (プライオリティ) は一番高い、D[0] の優先順位は一番低い

$$\begin{aligned}
 N[2] &= E (D[7] + \overline{D[7]} D[6] + \overline{D[7]} \overline{D[6]} D[5] + \overline{D[7]} \overline{D[6]} \overline{D[5]} D[4]) \\
 &= E (D[7] + D[6] + \overline{D[6]} D[5] + \overline{D[6]} \overline{D[5]} D[4]) \\
 &= E (D[7] + D[6] + D[5] + \overline{D[5]} D[4]) \\
 &= E (D[7] + D[6] + D[5] + D[4])
 \end{aligned}$$

第二回講義資料 P21 を参照

# 8 入力 3 出力プライオリティエンコーダ

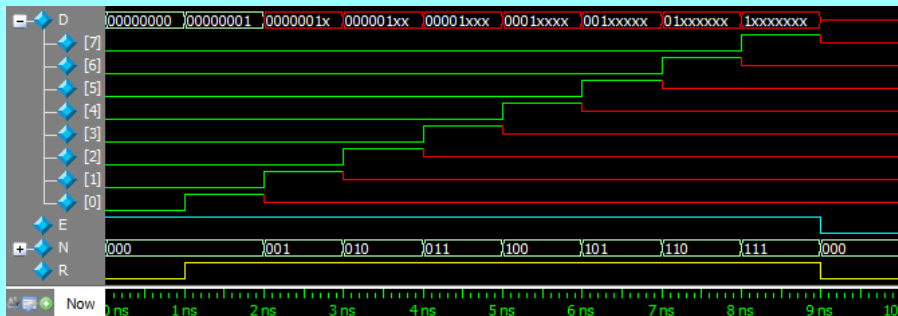
$$N[2] = E ( D[7] + D[6] + D[5] + D[4] )$$

$$N[1] = E ( \square + \square + \square\square\square + \square\square\square )$$

$$N[0] = E ( \square + \square\square + \square\square\square + \square\square\square\square )$$

[enc83p\\_tb.v](#)

$$R = E ( D[7] + D[6] + D[5] + D[4] + D[3] + D[2] + D[1] + D[0] )$$



# 8 入力 3 出力プライオリティエンコーダ

入力制限なしの意味：任意の入力パターン

入力信号の数：9（1本のEと8本のD（D[7..0]））

入力信号パターン数の数： $2^9 = 512$

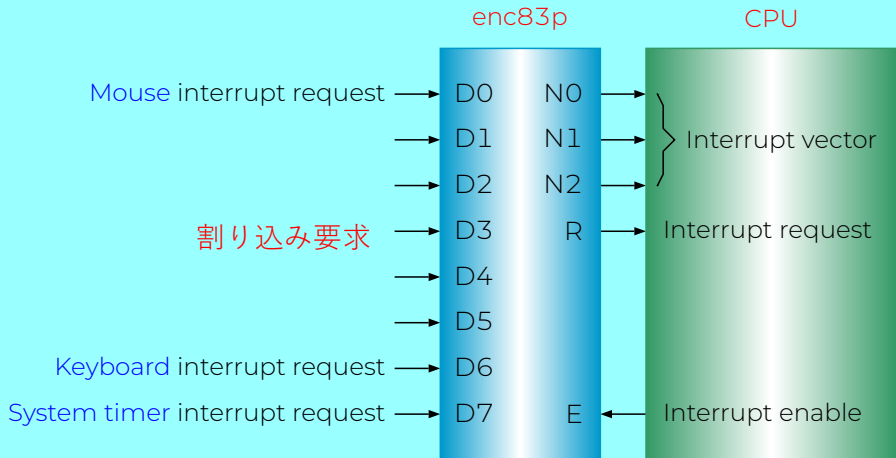
| 入力（制限なし） |      |      |      |      |      |      |      |      | パターンの数   |
|----------|------|------|------|------|------|------|------|------|----------|
| E        | D[7] | D[6] | D[5] | D[4] | D[3] | D[2] | D[1] | D[0] |          |
| 1        | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1        |
| 1        | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 1        |
| 1        | 0    | 0    | 0    | 0    | 0    | 0    | 1    | X    | Xが1個 2   |
| 1        | 0    | 0    | 0    | 0    | 0    | 1    | X    | X    | Xが2個 4   |
| 1        | 0    | 0    | 0    | 0    | 1    | X    | X    | X    | Xが3個 8   |
| 1        | 0    | 0    | 0    | 1    | X    | X    | X    | X    | Xが4個 16  |
| 1        | 0    | 0    | 1    | X    | X    | X    | X    | X    | Xが5個 32  |
| 1        | 0    | 1    | X    | X    | X    | X    | X    | X    | Xが6個 64  |
| 1        | 1    | X    | X    | X    | X    | X    | X    | X    | Xが7個 128 |
| 0        | X    | X    | X    | X    | X    | X    | X    | X    | Xが8個 256 |

合計： $1 + 1 + 2 + 4 + 8 + 16 + 32 + 64 + 128 + 256 = 512 = 2^9$



# エンコーダの応用 — 割り込みコントローラ

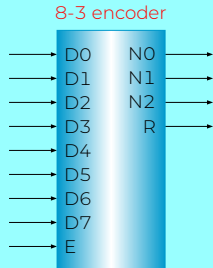
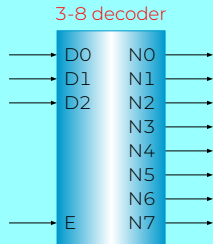
## 割り込み (Interrupt) コントローラ (Controller)



# デコーダとエンコーダ

## まとめ

- デコーダ ( $n \Rightarrow 2^n$ )
- イネーブル付きデコーダ
- デマルチプレクサ
  
- エンコーダ ( $2^n \Rightarrow n$ )
- イネーブル付きエンコーダ
- プライオリティエンコーダ



# 課題 X (100 点)

8 入力 3 出力プライオリティエンコーダを設計し動作検証シミュレーションして下さい (P24 真理値表を参照)。

$$N[2] = E (D[7] + D[6] + D[5] + D[4])$$

$$N[1] = E (\square + \square + \square\square\square + \square\square\square)$$

$$N[0] = E (\square + \square\square + \square\square\square + \square\square\square\square)$$

$$R = E (D[7] + D[6] + D[5] + D[4] + D[3] + D[2] + D[1] + D[0])$$



プロジェクト名は enc83p にすること。

テストベンチ [enc83p\\_tb.v](#) を使って下さい。

真理値表から N[2]、N[1]、N[0] の導出過程を書いて下さい。

# 発展：自由練習

## Verilog HDL による課題の実装

### 3 入力 8 出力デコーダの設計 (P8 - P10 を参照)

```
module dec38ena (D, E, N);  
    input  [2:0] D;  
    input      E;  
    output [7:0] N;                // E D : N[D]  
    assign N[0] = E & ~D[2] & ~D[1] & ~D[0]; // 1_000: N[0] = 1  
    assign N[1] = E & ~D[2] & D[1] & ~D[0]; // 1_001: N[1] = 1  
    assign N[2] = E & ~D[2] & ~D[1] & D[0]; // 1_010: N[2] = 1  
    assign N[3] = E & D[2] & ~D[1] & ~D[0]; // 1_011: N[3] = 1  
    assign N[4] = E & D[2] & D[1] & ~D[0]; // 1_100: N[4] = 1  
    assign N[5] = E & D[2] & ~D[1] & D[0]; // 1_101: N[5] = 1  
    assign N[6] = E & ~D[2] & D[1] & D[0]; // 1_110: N[6] = 1  
    assign N[7] = E & D[2] & D[1] & D[0]; // 1_111: N[7] = 1  
endmodule
```

上記コードを完成しシミュレーションして下さい。

# 発展：自由練習

Verilog HDL による課題の実装

8入力3出力プライオリティエンコーダ (P24, P25 を参照)

```
module enc83pri (D, E, N, R);
    input  [7:0] D;
    input          E;
    output [2:0] N;
    output          R;
    assign  R = E & (D[7] | D[6] | D[5] | D[4] | D[3] | D[2] | D[1] | D[0]);
    assign N[2] = E & (D[7] | D[6] | D[5] | D[4]);
    assign N[1] =                                     ;
    assign N[0] =                                     ;
endmodule
```

上記コードを完成しシミュレーションして下さい。